

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-298261

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H03F 3/343
H03L 7/093

(21)Application number : 10-097275

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 09.04.1998

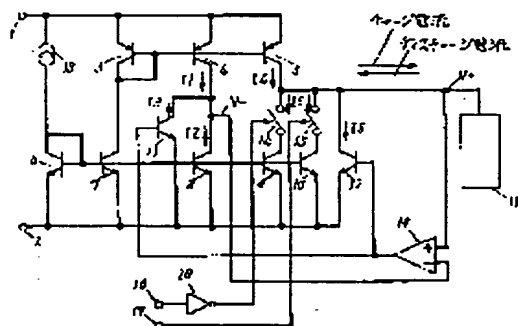
(72)Inventor : OMORI YOSHIYUKI
HAYASHI HIROAKI

(54) CURRENT BALANCE CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent lock occurrence due to a deviated phase of a PLL circuit.

SOLUTION: A current source 13 connected to the voltage source of the PLL circuit is connected to the input side of a current mirror circuit composed of NPN transistors 6 and 7, the output side is connected to the input side of a current mirror circuit composed of PNP transistors 3, 4 and 5, and a charge current and a discharge current are controlled. Concerning such a charge pump circuit, a collector voltage (V_-) of the PNP transistor 4 is inputted to an amplifier so as to be equalized with a collector voltage (V_+) of the PNP transistor 5, and the output is inputted to the bases of NPN transistors 11 and 12. Thus, when feedback is loaded so as to establish the condition of $(V_+) = (V_-)$, the condition of $I_1 = I_2 + I_3$ is established. When a switch 14 is turned on, the condition of $I_4 = I_5 + I_6$ is established and a charge/discharge current to a filter becomes '0'. The charge and discharge current to the filter are balanced.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-298261

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁵

識別記号

F I

H 0 3 F 3/343

H 0 3 F 3/343

A

H 0 3 L 7/093

H 0 3 L 7/08

E

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21) 出願番号

特願平10-97275

(22) 出願日

平成10年(1998)4月9日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大森 愛幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 林 博明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

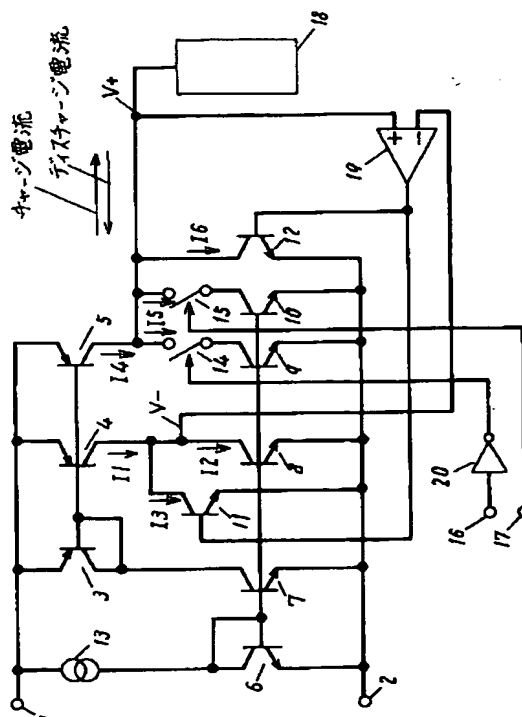
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 電流バランス調整回路

(57) 【要約】 (修正有)

【課題】 PLL回路の位相がずれてロックするのを防止する。

【解決手段】 PLL回路で電圧源に接続の電流源13が、NPNトランジスタ6と7で構成のカレントミラー回路の入力側に接続され、出力側がPNPトランジスタ3と4と5で構成のカレントミラー回路の入力側に接続され、チャージ電流とディスチャージ電流を制御するチャージポンプ回路において、PNPトランジスタ4のコレクタ電圧(V-)を、PNPトランジスタ5のコレクタ電圧(V+)と同一にするために、増幅器にそれぞれ入力し、出力をNPNトランジスタ11、12のベースに入力することで、 $(V+) = (V-)$ になるよう帰還がかかると、 $I1 = I2 + I3$ となる。また、スイッチ14がオンした時、 $I4 = I5 + I6$ となり、フィルタへのチャージ、ディスチャージ電流は0となる。フィルタへのチャージ、ディスチャージ電流のバランスが保たれる。



【特許請求の範囲】

【請求項1】 電源端子に接続された電流源が第一のNPNトランジスタを用いたカレントミラー回路の入力側に接続され、出力側が第二のPNPトランジスタを用いたカレントミラー回路の入力側に接続された回路で、第二のPNPトランジスタを用いたカレントミラー回路の第一の出力側に、第一のNPNトランジスタのコレクタ、第四のNPNトランジスタのコレクタ、増幅器の負入力が入力され、さらに第二のPNPトランジスタを用いたカレントミラー回路の第二の出力側に、第一のスイッチ、第二のスイッチ、第五のNPNトランジスタのコレクタ、増幅器の正入力、フィルタ（負荷）に接続された回路において、第一のスイッチ、第二のスイッチにそれぞれ第二、第三のNPNトランジスタのコレクタが接続され、さらに前記第一のカレントミラー回路を構成しているNPNトランジスタのベースは、第一、第二、第三のNPNトランジスタのベースが互いに接続され、前記増幅器の出力は、第四、第五のNPNトランジスタのベースに接続される。前記第一のスイッチのオン、オフ制御は、制御端子からインバータ回路を通して、第二のスイッチのオン、オフ制御は、制御端子により入力される電流バランス調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Phase Locked Loop（以下PLLと略す）回路の位相比較器におけるチャージポンプ出力回路の位相差に比例したチャージ電流とディスチャージ電流のバランス調整回路に関するものである。

【0002】

【従来の技術】PLL回路において、位相比較器は2つの入力信号に対する位相差を比較し、その位相差に応じた出力をチャージポンプ回路に伝える。このチャージポンプ回路は前記位相差に比例した位相比較器の出力電流をチャージ電流、ディスチャージ電流として出力する回路である。ここで、従来の位相比較器とチャージポンプに関する動作を説明する。基準信号 f_r と比較する信号 f_p の位相差を比較する位相比較器において、比較信号 f_p が進み位相あるいは遅れ位相の場合、それぞれの位相差に比例してチャージ電流のオン期間（UP）とディスチャージ電流のオン期間（DOWN）を変化させる。比較信号 f_p が進んでいる時、DOWNのパルスがその相当期間オンとなり、その期間チャージポンプ回路の出力電流によりフィルタ（負荷）がディスチャージされ、VCOの制御電圧が下降する。また、比較信号 f_p が遅れている時、UPのパルスがその相当期間オンとなり、その期間チャージポンプ回路の出力電流によりフィルタ（負荷）がチャージされ、VCOの制御電圧が上昇する。図3は従来のPLL回路に使用するチャージポンプ回路の一例を示す図である。図4は、図3の出力電圧一

オフセット電流特性を示す図である。

【0003】図3において、1は電源端子、2は接地端子、3、5はカレントミラー回路のPNPトランジスタ、6、7はカレントミラー回路のNPNトランジスタ、9、10はNPNトランジスタ、13は電流源、14、15はスイッチ、16、17は制御端子、18はフィルタ（負荷）、20はインバータ回路である。

【0004】電流源13から定まる電流をNPNトランジスタ6、7で構成する第一のカレントミラー回路で反転させ、その出力をPNPトランジスタ3、5とで構成される第二のカレントミラー回路に入力しそれを出力電流として取り出し、制御端子16、17にはUP、DOWNパルスが入力され、それぞれの制御信号は反転、または正転でスイッチ14、15のオン、オフを制御しフィルタ（負荷）18へのチャージ電流とディスチャージ電流を切り替える。

【0005】

【発明が解決しようとする課題】従来のPLL回路に使用するチャージポンプ回路においては、アーリー電圧の影響により、ミラー精度が悪化して、PNPトランジスタ5とNPNトランジスタ9または10の電流比が変動し、チャージ電流、またはディスチャージ電流のオフセット電流により、フィルタ（負荷）を接続する出力端子電圧が変動する。その結果、PLL回路で位相がずれてロックするという課題があった。

【0006】本発明は、上記従来の課題を解決するものであり、チャージポンプ回路のカレントミラー回路でアーリー電圧の影響により、出力端子電圧が大きく変動しても、PLL回路の安定な位相特性を得るためにチャージ電流とディスチャージ電流のバランスを調整する回路を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために本発明の電流バランス調整回路においては、電源端子に接続された電流源が第一のNPNトランジスタを用いたカレントミラー回路の入力側に接続される。一方、出力側が第二のPNPトランジスタを用いたカレントミラー回路の入力側に接続され、第二のPNPトランジスタを用いたカレントミラー回路の第一の出力側に、第一のNPNトランジスタのコレクタ、第四のNPNトランジスタのコレクタ及び増幅器の負入力が入力される。さらに第二のPNPトランジスタを用いたカレントミラー回路の第二の出力側には、第一のスイッチと第二のスイッチが接続され、第五のNPNトランジスタのコレクタ、増幅器の正入力、フィルタ（負荷）に接続され、その第一のスイッチ、第二のスイッチにそれぞれ第二、第三のNPNトランジスタのコレクタが接続され、さらに前記第一のカレントミラー回路を構成しているNPNトランジスタのベースは、第一、第二、第三のNPNトランジスタのベースが互いに接続され、前記増幅器の出力は、

3

第四、第五のNPNトランジスタのベースに接続され、電流を補正することで、出力電圧も補正する帰還増幅器を備えたものである。

【0008】この構成により、PLL回路に使用するチャージポンプ回路のチャージ電流とディスチャージ電流を制御するカレントミラー回路においてオフセット電流を補正することができる。

【0009】

【発明の実施の形態】図1は、本発明の請求項1に記載の発明の第一の実施形態である。図1において、1は電源端子、2は接地端子、13は電流源、3、4、5はカレントミラー回路のPNPトランジスタ、6、7はカレントミラー回路のNPNトランジスタ、8、9、10、11、12はNPNトランジスタ、14、15はスイッチ、16、17は制御端子、18はフィルタ（負荷）、19は増幅器、20はインバータ回路である。電源端子1に接続された電流源13が第一のカレントミラー回路のNPNトランジスタ6のコレクタ、ベースおよびNPNトランジスタ7のベースにそれぞれ接続され、第一のカレントミラー回路のベースはさらに、第一、第二、第三のNPNトランジスタ8、9、10のベースに接続され、第一のNPNトランジスタを用いたカレントミラー回路の電流は、第二のPNPトランジスタを用いたカレントミラー回路で反転される。第二のPNPトランジスタを用いたカレントミラー回路で反転された、第一の出力電流は、第四のNPNトランジスタ11のコレクタ、前記第一のNPNトランジスタ8のコレクタ、増幅器19の負入力に接続される。第二の出力は、第一のスイッチ14、第二のスイッチ15、第五のNPNトランジスタ12のコレクタ、前記増幅器19の正入力、フィルタ（負荷）18が接続され、さらに、第一のスイッチ14は前記第二のトランジスタ9のコレクタ、第二のスイッチ15、前記第三のコレクタに接続される。前記スイッチ14のオン、オフ制御は、制御端子16からインバータ回路20を通して、スイッチ15のオン、オフ制御は、制御端子17により入力される。また、増幅器19の出力は、前記NPNトランジスタ11、12のベースに接続された構成をとる。

【0010】以上のように構成された第一の実施形態の電流バランス調整回路について、以下図1を用いてその動作を説明する。電源端子1に接続された電流源13から定まる電流をNPNトランジスタ6、7で構成する第一のカレントミラー回路で反転させ、その出力をPNPトランジスタ3、4、5で構成される第二のカレントミラー回路に入力しそれを出力電流として取り出す。この時、トランジスタ5のコレクタの電圧が変化した場合、その出力電流は増減する。従って、フィルタ（負荷）18に流れる電流が増減するために、フィルタ（負荷）1

4

8にかかる電圧が変動し、PNPトランジスタ5のエミッターコレクタ間の電圧が、PNPトランジスタ4のエミッターコレクタ間の電圧と異なってしまう。そのため、PNPトランジスタ5のアーリー電圧が十分高い場合は、カレントミラー回路のミラー比は極端に悪化はしないが、低い場合は極端にミラー比が悪化する。そこで、PNPトランジスタ4、5のコレクタ電圧を増幅器で比較し、 $(V+) = (V-)$ になるよう帰還がかかる。 $(V+) = (V-)$ になるよう帰還がかかると、 $I1 = I2 + I3$ となる。また、 $I1 = I4$ 、 $I2 = I5$ 、 $I3 = I6$ であるから、スイッチ14がオンした時、 $I4 = I5 + I6$ となり、フィルタ（負荷）へのチャージ、ディスチャージ電流は0となる。すなわち、 $V+$ の電圧が変動しても、スイッチ14又は15の1つがオンしている場合、フィルタ（負荷）へのチャージ、ディスチャージ電流のバランスが保たれる。

【0011】さらに第二のカレントミラー回路の第一、第二の出力のオフセット電圧も低減される。

【0012】結果を図2に示すように、従来の $1/3$ から $1/4$ の値となる。以上のように第一の実施形態によれば、従来のカレントミラー回路に帰還増幅器を備えることにより出力変動があってもオフセット電流を低減し、安定した動作をさせることができる。

【0013】

【発明の効果】以上のように本発明は、電流設定用のPNPトランジスタと、電流調整用のNPNトランジスタ、帰還用増幅器を備えることにより、出力端子電圧が変動しても、オフセット電流がフィルタ（負荷）に流れず、PLL回路の位相特性を向上させることができる優れたカレントミラー回路を実現できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における電流バランス調整回路図

【図2】本発明の出力電圧ーオフセット電流特性を示す図

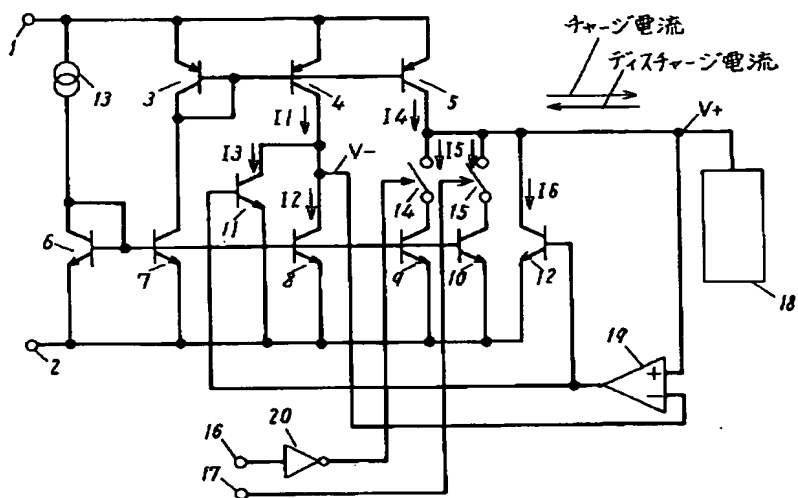
【図3】従来のチャージポンプ回路の一例を示す図

【図4】従来の出力電圧ーオフセット電流特性を示す図

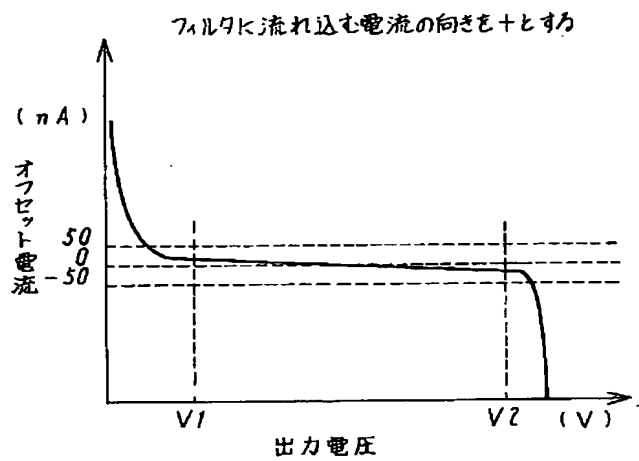
【符号の説明】

- 1 電源端子
- 2 接地端子
- 3～5 PNPトランジスタ
- 6～12 NPNトランジスタ
- 13 電流源
- 14、15 スイッチ
- 16、17 制御端子
- 18 フィルタ（負荷）
- 19 増幅器
- 20 インバータ回路

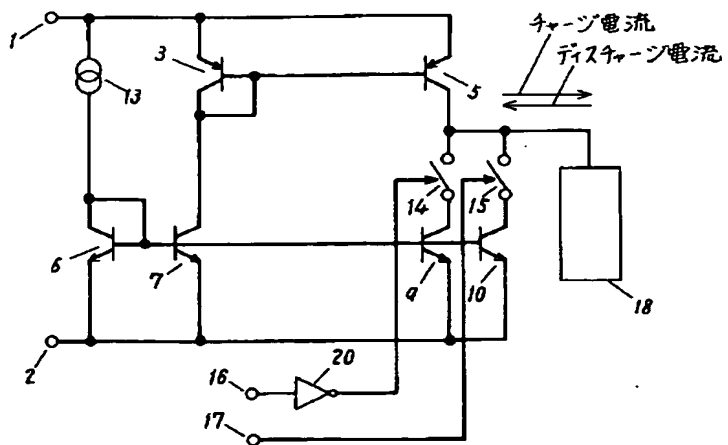
【図 1】



【图 2】



【図 3】



【図4】

